

Signal processing circuit and method for measuring pulse width under existence of chattering noise

Patent Number: ☐ [US2002114406](#)
Publication date: 2002-08-22
Inventor(s): MASHIMO AKIRA (JP)
Applicant(s):
Requested Patent: ☐ [JP2002324360](#)
Application Number: US20020079805 20020220
Priority Number(s): JP20010044222 20010220; JP20010272571 20010907
IPC Classification: H03D3/00
EC Classification: [G11B20/24](#), [G11B20/10](#)
Equivalents: CN1372263, ☐ [US6670831](#)

Abstract

A signal processing circuit and method for measuring the width of an input pulse signal that contains chattering noise. The signal processing circuit converts the input pulse signal into an output pulse signal having no chattering noise by setting and resetting a flip-flop circuit at a timing that is delayed by a predetermined time after the rise and fall in the input pulse signal

Data supplied from the esp@cenet database - I2

(書誌+要約+請求の範囲)

(19)【発行国】日本国特許庁(JP)
(12)【公報種別】公開特許公報(A)
(11)【公開番号】特開2002-324360(P2002-324360A)
(43)【公開日】平成14年11月8日(2002. 11. 8)
(54)【発明の名称】信号処理回路及び信号処理方法
(51)【国際特許分類第7版】

G11B 20/10 341
// H03K 5/1252

【FI】

G11B 20/10 341 Z
H03K 5/01 G

【審査請求】未請求

【請求項の数】14

【出願形態】OL

【全頁数】15

(21)【出願番号】特願2001-272571(P2001-272571)
(22)【出願日】平成13年9月7日(2001. 9. 7)
(31)【優先権主張番号】特願2001-44222(P2001-44222)
(32)【優先日】平成13年2月20日(2001. 2. 20)
(33)【優先権主張国】日本(JP)

(71)【出願人】

【識別番号】000003676

【氏名又は名称】ティアック株式会社

【住所又は居所】東京都武蔵野市中町3丁目7番3号

(72)【発明者】

【氏名】真下 著明

【住所又は居所】東京都武蔵野市中町3丁目7番3号 ティアック株式会社内

(74)【代理人】

【識別番号】100070150

【弁理士】

【氏名又は名称】伊東 忠彦

【テーマコード(参考)】

5D044
5J039

【Fターム(参考)】

5D044 AB06 BC05 CC06 EF01 EF02 GK12 GK15
5J039 BB04 BB18 KK05 KK10 KK13 KK16 KK20 KK23 KK33 NN03

(57)【要約】

【課題】FM変調信号をデジタルデータに変換する信号処理回路及び信号処理方法に関し、入力パルス信号のハイレベル期間又は／及びローレベル期間をノイズ成分の影響を除去して正確に検出できる信号処理回路及び信号処理方法を提供することを目的とする。

【解決手段】入力パルス信号及びクロックが供給され、入力パルス信号のレベルに応じてクロックを出力パルス信号に応じて出力カウンタ値をクリアしつつ、カウントし、カウンタ値に応じて出力パルス信号をセット又はリセットするようにする。

【特許請求の範囲】

【請求項1】 入力パルス信号からノイズ成分を除去した出力パルス信号を出力する信号処理回路において、前記入力パルス信号のうち一方の極性の累積時間を測定する累積時間測定部と、前記累積時間測定部で測定された累積時間が所定の時間になったときに、前記出力パルス信号の極性を反転させるパルス信号出力部とを有し、前記パルス信号出力部から出力される前記出力パルス信号の極性が他方の極性のとき、前記累積時間測定部の累積時間をクリアするとともに、累積時間の測定を禁止させることを特徴とする信号処理回路。

【請求項2】 前記パルス信号出力部により前記出力パルス信号の極性を反転させるまでの前記所定の時間を前記入力パルスに対する前記出力パルス遅延時間に応じて異ならせることを特徴とする請求項1記載の信号処理回路。

【請求項3】 前記入力パルス信号のうち他方の極性の累積時間を測定する他の累積時間測定部と、前記他方の累積時間測定部で測定された累積時間が所定の時間になったときに、前記出力パルス信号の極性を反転させる他のパルス信号出力部とを有し、前記パルス信号出力部により前記出力パルス信号の極性を反転させるまでの前記所定の時間と前記他のパルス信号出力部により前記出力パルス信号の極性を反転させるまでの前記所定の時間とを異ならせることを特徴とする請求項1又は2記載の信号処理回路。

【請求項4】 入力パルス信号からノイズを除去して出力パルス信号を得る信号処理回路において、前記入力パルス信号及びクロックが供給され、前記入力パルス信号に応じて該クロックを出力するゲート部と、前記出力パルス信号に応じて該出力カウント値がクリアされ、前記ゲート部から出力されるクロックをカウントし、カウント値を出力するカウント部と、前記カウント部のカウント値に応じて前記出力パルス信号をセット又はリセットする保持部とを有することを特徴とする信号処理回路。

【請求項5】 前記ゲート部は、前記入力パルス信号のハイレベルの期間、前記クロックを出力させる第1のゲート回路と、前記入力パルス信号のローレベルの期間、前記クロックを出力させる第2のゲート回路とを有し、前記カウント部は、前記出力パルス信号のローレベルの期間、前記第1のゲート回路からのクロックをカウントする第1のカウントと、前記出力パルス信号のハイレベルの期間、前記第2のゲート回路からのクロックをカウントする第2のカウントとを有し、前記保持部は、前記第1のカウントのカウント値及び前記第2のカウントのカウント値が所定のカウント値になったときに、セット又はリセットを行なうことを特徴とする請求項4記載の信号処理回路。

【請求項6】 前記出力パルス信号を所定期間遅延する第1の遅延回路と、前記第1の遅延回路で遅延された出力を所定期間遅延する第2の遅延回路と、前記第2の遅延回路の出力によりクリアされ、前記クロックをカウントするカウントと、前記第1の遅延回路により前記カウントのカウント値をラッチするラッチ回路とを有することを特徴とする請求項4又は5記載の信号処理回路。

【請求項7】 入力パルス信号からノイズ成分を除去した出力パルス信号を出力する信号処理方法において、前記入力パルス信号の一方の極性で充電を行う充電手段と、前記充電手段の充電レベルが所定のレベルとなったときに、前記出力パルス信号を他の極性から一方の極性に反転させる出力手段と、前記出力手段から出力される前記出力パルス信号が他の極性のときに、前記充電手段を放電させる放電手段とを有することを特徴とする信号処理回路。

【請求項8】 入力パルス信号からノイズ成分を除去した出力パルス信号を出力する信号処理方法において、前記入力パルス信号のうち一方の極性の累積時間を測定し、測定された累積時間が所定の時間になったときに、前記出力パルス信号の極性を反転させ、前記出力パルス信号の極性が他方の極性のときには、前記累積時間をクリアするとともに、累積時間の測定を禁止させることを特徴とする信号処理方法。

【請求項9】 前記出力パルス信号の極性を反転させるまでの前記所定の時間を前記入力パルスに対する前記出力パルス遅延時間に応じて異ならせることを特徴とする請求項8記載の信号処理方法。

【請求項10】 前記入力パルス信号のうち他方の極性の累積時間を測定し、前記他方の極性の累積時間が所定の時間になったときに、前記出力パルス信号の極性を反転させ、前記出力パルス信号の前記一方の極性と前記他方の極性とのデューティ比に応じて前記所定の時間を異ならせることを特徴とする請求項8又は9記載の信号処理方法。

【請求項11】 入力パルス信号からノイズを除去して出力パルス信号を得る信号処理方法におい

て、前記入力パルス信号及びクロックが供給され、前記入力パルス信号に応じて該クロックを出力する第1手順と、前記出力パルス信号に応じて該出力カウント値がクリアされ、前記第1手順で出力されたクロックをカウントし、カウント値を出力する第2手順と、前記第2手順で得られた前記カウント値に応じて前記出力パルス信号をセット又はリセットする第3手順とを有することを特徴とする信号処理方法。

【請求項12】前記第1手順は、前記入力パルス信号のハイレベルの期間、前記クロックを出力するとともに、前記入力パルス信号のローレベルの期間、前記クロックを出力し、前記第2手順は、前記出力パルス信号のローレベルの期間、供給されるクロックをカウントするとともに、前記出力パルス信号のハイレベルの期間、供給されるクロックをカウントし、前記第3手順は、前記第2手順でカウントされたローレベル期間のカウント値及びハイレベル期間のカウント値が所定のカウント値になったときに、セット又はリセットを行なうことを特徴とする請求項11記載の信号処理方法。

【請求項13】前記出力パルス信号を所定期間遅延する第4手順と、前記第4手順で遅延された信号を所定期間遅延する第5手順と、前記第4手順で遅延された信号により前記クロックのカウント値をラッチし、前記第5手順で遅延された信号により前記クロックのカウント値をクリアする第6手順とを有すること特徴とする請求項11又は12記載の信号処理方法。

【請求項14】入力パルス信号からノイズ成分を除去した出力パルス信号を出力する信号処理方法において、前記入力パルス信号の一方の極性で充電手段の充電を行い、充電レベルが所定のレベルとなったときに、前記出力パルス信号を一方の極性に反転させ、前記出力パルス信号が他の極性のときには、前記充電手段を放電させることを特徴とする信号処理方法。

詳細な説明

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、信号処理回路及び信号処理方法に係り、特に、FM(Frequency Modulation)変調信号をデジタルデータに変換する信号処理回路及び信号処理方法に関する。

【0002】

【従来の技術】図6に光ディスク装置のブロック構成図、図7に光ディスクの構成を説明するための図を示す。

【0003】図6に示す光ディスク装置100は、例えば、CD-Rドライブであり、CD-Rディスク40が装着され、CD-Rディスク40に対して情報の記録／再生を行なう。

【0004】CD-Rディスク40は、図7に示すように情報を記録／再生するトラック40aに沿ってウォブル40bが形成されている。ウォブル40bは、FM変調されており、ウォブル40bを再生し、再生信号をFM復調することによりFM復調信号が得られ、FM復調信号として記録された各種制御情報が得られる。

【0005】光ディスク装置100は、光学系41、スピンドルモータ42、スレッドモータ43、レーザドライバ44、フロントモニタ45、ALPC(Auto Laser Power Control)回路46、記録補償回路47、ウォブル信号処理部48、RFアンプ49、フォーカス／トラッキングサーボ回路50、送りサーボ回路51、スピンドルサーボ回路52、CDエンコード／デコード回路53、D/Aコンバータ54、オーディオアンプ55、RAM56、58、CD-ROMエンコード／デコード回路57、インタフェース／バッファコントローラ59、CPU60で構成され、ホストコンピュータ61からのコマンドに応じて情報の記録／再生を行う。

【0006】スピンドルモータ42はスピンドルサーボ回路52によってディスク40が所定の回転数で回転するようにディスク40を回転させる。ディスク40に対向して光学系41が配置されている。光学系41は、ディスク40にレーザ光を照射して、ディスク40に情報を記録するとともに、ディスク40からの反射光から記録された情報に応じた再生信号を出力する。光学系41は、スレッドモータ43、フォーカス／トラッキングサーボ回路50によってディスクに照射する光ビームBの位置が制御されている。

【0007】このうち、スレッドモータ43は、送りサーボ回路51の駆動制御により光学系41を構成するキャリッジをディスク40の半径方向に移動させる。また、フォーカス／トラッキングサーボ回路50は、光学系41のフォーカス及びトラッキングアクチュエータ(図示せず)を駆動制御して、フォーカス／トラッキング制御を行う。

【0008】光学系41で再生された再生信号は、RFアンプ49に供給される。RFアンプ49は、再生信号を増幅する。再生信号のうち主信号は、CDエンコーダ／デコード回路53に供給され、デコードされる。また、各種サーボ信号を取り出して各サーボ制御回路に出力するCD-ROMエンコード／デコード回路57は、CD-ROM固有のECC(Error Correction Coding)のエンコード／デコード、ヘッダの検出等の処理を行う。RAM56は、CD-ROMエンコード／デコード回路57での処理の作業用記憶領域として用いられる。インタフェース／バッファコントローラ59は、ホストコンピュータ61とのデータの送受、データバッファの制御を行う。RAM58は、インタフェース／バッファコントローラ59の作業用記憶領域として用いられる。

【0009】なお、ディスク40がオーディオディスクの場合には、CDエンコード／デコード回路53で復調された信号はD/Aコンバータ54に送られ、デジタルからアナログへ変換され、オーディオアンプ55により増幅されて出力される。

【0010】CPU60はホストコンピュータ61からのコマンドに基づいて装置全体の制御を行なう。

【0011】CD-R等の光ディスクは、情報を記録するために形成すべきトラックに沿ってウォブルが予め形成されており、このウォブルを検出することによりウォブル信号が再生される。ウォブル信号は、FM変調されており、このFM変調信号をデジタルデータに変換して、ディスク位置を示すアドレスなどの情報が得られる。このとき、正確なアドレスなどの情報を得るためには、FM変調信号を正確にデジタルデータに変換する必要があった。

【0012】図8は従来の一例である信号処理回路のブロック図を示す。また、図9～図12は従来の信号処理回路のタイミングチャートを示す。

【0013】図8において、信号処理回路10は、両エッジ検出回路11、カウンタ回路12、ラッチ回路13、デジタルLPF回路14で構成されている。

【0014】両エッジ検出回路11には、端子15から図9(A)に示すFM変調信号が供給されている。両エッジ検出回路11は、まず、供給されたFM変調信号をゼロレベルと比較して、図9(B)に示すようなゼロレベルより大きければハイレベル、ゼロレベルより小さければローレベルとなるパルス信号を生成し、生成したパルス信号の立ち上がりエッジと立ち下がりエッジとを検出して図9(C)に示す両エッジ信号18を生成する。この両エッジ信号はカウンタ回路12とラッチ回路13とデジタルLPF14に供給される。

【0015】カウンタ回路12は、両エッジ検出回路11からの両エッジ信号によりクリアされ、クロック端子16から供給されるクロックをカウントする。カウンタ回路12のカウント値は、図9(D)に示すように変化しており、ラッチ回路13に供給される。

【0016】ラッチ回路13には、カウンタ回路12からのカウント値と両エッジ検出回路11からの両エッジ信号とが供給されており、両エッジ信号のエッジ出力のタイミングで、カウント値Q1～Qnをラッチする。ラッチされたカウント値はデジタルLPF14に供給される。

【0017】デジタルLPF14は、ラッチ回路13からのカウント値と両エッジ検出回路11からの両エッジ信号とが供給されている。デジタルLPF14は、ラッチ回路13から供給されたカウント値に基づいてデジタル処理によりローパスフィルタ処理を行い、ノイズ成分が除去される。デジタルフィルタ処理が行われたFM信号は、端子17から出力され、復調処理が行なわれ、ウォブル信号に重畳された情報が抽出される。

【0018】しかし、実際のFM変調信号にはノイズが重畳されている。

【0019】図10～図12に従来の信号処理回路の動作説明図を示す。

【0020】実際のFM変調信号は、図10に示すようにゼロレベル近辺で、ノイズの影響によりゼロレベルと複数回交差している。このため、このままパルス信号に変換すると、図11(A)に示すようにパルス信号の前後に不要なパルスが発生する。この不要なパルスにより、図11(B)に示すように立ち上がりエッジ及び立ち下がりエッジがそれぞれ複数回検出される。よって、図11(B)に示すエッジの間で、図11(C)に示すクロックがカウントされると、図11(D)に示すようにノイズ部分で小さなカウント値が多数出力されていた。このため、パルス信号を正確に得ることはできなかった。

【0021】そこで、ノイズが発生する期間を排除してパルス信号のエッジを検出する方法が提案されている。ノイズが発生する期間を排除してパルス信号のエッジを検出する方法を図12と共に説明する。

【0022】図12は、従来のノイズ除去方法を説明するための図を示す。図12(A)は入力パルス信号、図12(B)はノイズ除去後のパルス信号、図12(C)はノイズ除去後のパルス信号の両エッジ信号を示す。

【0023】従来は、パルス信号が一定時間T3継続したときに、エッジを検出するようにしていた。時刻t1では、図12(A)に示す入力パルス信号が立ち上がるが、一定時間T3が経過する前に立ち下がるので、エッジとして検出されない。一方、時刻t2、t7では、図12(A)に示す入力パルス信号が立ち上がり、一定時間T3以上ハイレベル状態を継続するので、エッジとして検出される。

【0024】また、時刻t4では、図12(A)に示す入力パルス信号が立ち下がるが、一定時間T3が経過する前に立ち上がるので、エッジとして検出されない。一方、時刻t5、t9では、図12(A)に示す入力パルス信号が立ち下り、一定時間T3以上ローレベル状態を継続するので、エッジとして検出される。

【0025】以上のようにして図12(C)に示すノイズ成分を除去した両エッジ信号が検出されていた。

【0026】

【発明が解決しようとする課題】上記のように、実際のパルス信号にはノイズが存在し、このノイズによりパルス信号に立ち上がり及び立ち下がりが発生する。よって、このようなパルス信号のエッジ検出が検出されると、ノイズによるパルスを含むエッジが含まれる。このため、このままエッジ間隔をカウントすると、ノイズ成分までもがカウント値として出力され、正確な信号処理が行えないなどの問題点があった。

【0027】また、図12に示すように一定時間T3以上同一レベルが継続したときに、エッジと検出する方法では、図12に示すようにノイズが存在するときには、一定時間T3より長い遅延時間Tx、Tyが発生するが、ノイズが存在しないときには、一定時間T3の遅延時間しか発生しない。また、図12に示す遅延時間Tx、Tyのようにノイズの多さによっても遅延時間が異なるため、信号の周期が変動して、正確な信号処理が行えないなどの問題点があった。

【0028】よって、本発明は上記の点に鑑みてなされたもので、入力パルス信号のハイレベル期間

又は／及びローレベル期間をノイズ成分の影響を除去して正確に検出できる信号処理回路及び信号処理方法を提供することを目的とする。

【0029】

【課題を解決するための手段】本発明の請求項1、7は、入力パルス信号からノイズ成分を除去した出力パルス信号を出力する信号処理回路において、入力パルス信号のうち一方の極性の累積時間を測定する累積時間測定部と、累積時間測定部で測定された累積時間が所定の時間になったときに、出力パルス信号の極性を反転させるパルス信号出力部とを設け、パルス信号出力部から出力される出力パルス信号の極性が他方の極性のとき、累積時間測定部の累積時間をクリアするとともに、累積時間の測定を禁止させることを特徴とする。

【0030】本発明によれば、入力パルス信号のノイズのハイレベル期間のみ又はローレベル期間のみを累積して立ち上がり時間を決定するので、ノイズの影響なく入力パルス信号のエッジを検出できる。

【0031】本発明の請求項2、8は、パルス信号出力部により出力パルス信号の極性を反転させるまでの所定の時間を入力パルスに対する出力パルスの遅延時間に応じて異ならせることを特徴とする。

【0032】本発明によれば、累積時間を測定する時間を異ならせることにより入力パルス信号に対する出力パルス信号の遅延時間を自在に設定できる。

【0033】本発明の請求項3、9は、入力パルス信号のうち他方の極性の累積時間を測定する他の累積時間測定部と、他方の累積時間測定部で測定された累積時間が所定の時間になったときに、出力パルス信号の極性に反転させる他のパルス信号出力部とを有し、パルス信号出力部により出力パルス信号の極性を反転させるまでの所定の時間と他のパルス信号出力部により出力パルス信号の極性を反転させるまでの所定の時間とを異ならせることを特徴とする。

【0034】本発明によれば、極性毎に入力パルス信号の極性の累積時間を測定し、極性毎の累積時間を異ならせることにより出力パルス信号のデューティ比を自在に設定できる。

【0035】本発明の請求項4、10は、入力パルス信号及びクロックが供給され、入力パルス信号のレベルに応じてクロックを出力パルス信号に応じて出力カウント値をクリアしつつ、カウントし、カウント値に応じて出力パルス信号をセット又はリセットする。

【0036】請求項5、11は、出力パルス信号のハイレベルの期間に、入力パルス信号のローレベルの期間に供給されるクロックをカウントするとともに、出力パルス信号のハイレベルの期間に、入力パルス信号のローレベルの期間に供給されるクロックをカウントし、入力パルス信号のローレベル期間のカウント値及びハイレベル期間のカウント値が所定のカウント値になったときに、セット又はリセットを行なうようにする。

【0037】また、請求項6、12は、出力パルス信号を所定期間遅延した信号によりカウント値をラッチし、カウント値をラッチする信号を遅延した信号でカウント値をクリアする。

【0038】

【発明の実施の形態】本発明の実施例を図面とともに説明する。

【0039】図1は本発明の一実施例の信号処理回路のブロック図、図2に本発明の一実施例の信号処理回路の動作波形図を示す。

【0040】本実施例の信号処理回路1は、図6に示すウォブル信号処理部48内に設けられる。信号処理回路1は、ANDゲート11、12、カウンタ13、14、15、RSフリップフロップ16、Dフリップフロップ17、18、反転回路19、EX-ORゲート20、21、ラッチ回路22、デジタルLPF(LOW PASS FILTER)23を含む構成とされている。

【0041】信号処理回路1の動作を図2とともに説明する。

【0042】図2は本発明の一実施例の信号処理回路の動作波形図を示す。図2(A)はウォブル信号、図2(B)はクロック、図2(C)はANDゲート11の出力、図2(D)は反転回路19の出力、図2(E)はANDゲート12の出力、図2(F)はカウンタ13の出力、図2(G)はカウンタ14の出力、図2(H)はRSフリップフロップ16の非反転出力、図2(I)はRSフリップフロップの反転出力、図2(J)はDフリップフロップ17の出力、図2(K)はDフリップフロップ18の出力、図2(L)はEX-ORゲート20の出力、図2(M)はEX-ORゲート21の出力を示す。

【0043】図2(A)に示すウォブル信号は、FMパルス信号であり、端子 T_1 からANDゲート11及び反転回路19に供給される。また、図2(B)に示すクロックは、端子 T_2 からANDゲート11及びANDゲート12に供給されている。

【0044】ANDゲート11は、図2(C)に示すように端子 T_1 からのウォブル信号がハイレベルのとき

に、端子 T_2 からのクロックを通過させ、カウンタ13のクロック入力端子に供給する。カウンタ13は、ANDゲート11からのクロックをカウントし、そのカウント値のうち第 i 桁の値 Q_i をRSフリップフロップ16のセット端子に供給する。なお、図2では、“ i ”が“3”の場合を例に説明を行なっている。【0045】また、反転回路19は、図2(D)に示すように端子 T_1 からのウォブル信号を反転させて、ANDゲート12に供給する。ANDゲート12は、図2(E)に示すように反転回路19からの反転ウォブル信号がハイレベルのときに、端子 T_2 からのクロックを通過させ、カウンタ14のクロック入力端子に供給する。

【0046】カウンタ14は、ANDゲート12からのクロックをカウントし、そのカウント値のうち第 i 桁の値 Q_i をRSフリップフロップ16のリセット端子に供給する。RSフリップフロップ16は、図2(H)、(I)に示すようにカウンタ13の第 i 桁のカウント値 Q_i が立ち上がったときに非反転出力 Q をセット、すなわち、ハイレベルにし、カウンタ14の第 i 桁のカウント値 Q_i が立ち上がったときに非反転出力 Q をリセット、すなわち、ローレベルにする。

【0047】RSフリップフロップ16の非反転出力 Q は、カウンタ13のクリア端子に供給されるとともに、Dフリップフロップ17及びEX-ORゲート20に供給される。また、RSフリップフロップ16の反転出力 \bar{Q} は、カウンタ14のクリア端子に供給される。

【0048】カウンタ13は、RSフリップフロップ16の非反転出力 Q がハイレベルのときにはクリア状態にされる。カウンタ14は、RSフリップフロップ16の反転出力 \bar{Q} がハイレベルのときはクリア状態にされる。

【0049】Dフリップフロップ17には、RSフリップフロップ16の非反転出力 Q がデータ端子に供給され、端子 T_2 からのクロックがクロック端子に供給されている。Dフリップフロップ17は、クロックが立ち上がるときのデータ端子のレベルを保持し、出力する。Dフリップフロップ17の出力 Q は、Dフリップフロップ18のデータ端子及びEX-ORゲート20に供給される。EX-ORゲート20は、RSフリップフロップ16の非反転出力 Q とDフリップフロップ17の出力とのEX-OR論理を出力する。EX-ORゲート20の出力は、ラッチ22に供給される。ラッチ22は、EX-ORゲート20の出力に応じてカウンタ15の出力をラッチする。

【0050】また、Dフリップフロップ18には、データ端子にDフリップフロップ17の出力 Q が供給され、クロック端子に端子 T_2 からのクロックが供給される。Dフリップフロップ18は、クロックが立ち上がるときのデータ端子のレベルを保持し、出力する。Dフリップフロップ18の出力 Q は、EX-ORゲート21に供給される。EX-ORゲート21は、Dフリップフロップ17の出力とDフリップフロップ18のEX-OR論理を出力する。EX-ORゲート21の出力は、カウンタ15のクリア端子に供給される。カウンタ15は、EX-ORゲート21の出力に応じてカウント値をクリアする。

【0051】カウンタ15は、端子 T_2 からのクロックをカウントし、そのカウント値をラッチ回路22に供給する。ラッチ回路22は、カウンタ15からのカウント値をEX-ORゲート20の出力の立ち上がりでラッチする。

【0052】デジタルLPF23は、ラッチ回路22からのデジタル値の変化として書き込まれたアドレス情報等の信号、例えば、バイフェーズ信号を出力する。

【0053】図2の時刻 t_1 及び t_9 においてカウンタ14は、RSフリップフロップ16の反転出力 \bar{Q} がハイレベルであるので、クリア状態とされている。また、カウンタ13は、RSフリップフロップ16の非反転出力 Q がローレベルであるので、ANDゲート11からのクロックをカウントする。

【0054】カウンタ13の出力 Q_3 は、第3桁目の値 Q_3 に設定されているので、カウント開始からANDゲート11からのクロックを8カウントすると、時刻 t_2 及び t_{10} でローレベルからハイレベルに反転する。

【0055】時刻 t_2 、 t_{10} でカウンタ13の出力 Q_3 が反転し、ハイレベルになると、RSフリップフロップ16の非反転出力 Q がハイレベル、反転出力 \bar{Q} がローレベルになる。RSフリップフロップ16の反転出力 \bar{Q} がローレベルになると、カウンタ14のクリア状態が解除されて、カウンタ14はANDゲート12からのクロックのカウントを開始する。また、このとき、カウンタ13は、RSフリップフロップ16の非反転出力 Q がハイレベルとなるので、クリア状態とされる。

【0056】また、時刻 t_2 、 t_{10} でRSフリップフロップ16の出力がハイレベルとなると、Dフリップフロップ17の出力は次のクロックまでローレベルに保持されているので、EX-ORゲート20の入力がハイレベルとローレベルとなり、その出力はローレベルからハイレベルに反転する。EX-ORゲート

ト20の出力がローレベルからハイレベルに反転することにより、ラッチ回路22はEX-ORゲート20の出力のアップエッジでカウンタ15の出力をラッチする。

【0057】次に時刻 t_3 、 t_{11} でDフリップフロップ17の出力がハイレベルになると、EX-ORゲート21の1入力がハイレベルになる。このとき、Dフリップフロップ18の出力は次のクロックが供給されるまでローレベルとされているので、EX-ORゲート21の他方の入力ハイレベルである。このため、EX-ORゲート21の出力は、ローレベルからハイレベルに反転する。カウンタ15は、EX-ORゲート21の出力がローレベルからハイレベルになることにより、カウント値がクリアされる。このように、カウンタ15のカウント値がラッチ回路22にラッチされた後、カウンタ15のカウント値がクリアされる。

【0058】時刻 t_4 、 t_{12} で、クロックが立ち上がると、Dフリップフロップ18は非反転出力Qをハイレベルにラッチする。Dフリップフロップ18の非反転出力Qがハイレベルになると、EX-ORゲート21の2入力がともにハイレベルになるので、EX-ORゲート21はローレベルに戻り、カウンタ15のクリアが可能な状態とされる。

【0059】次に、時刻 t_5 、 t_{13} で、ウォブル信号がローレベルになると、カウンタ14はRSフリップフロップ16の反転出力 \bar{Q} がローレベルであることからANDゲート12からのクロックをカウントする。時刻 t_6 、 t_{14} でカウンタ14のカウント値の第3桁の値 Q_3 が立ち上がると、RSフリップフロップ16の出力はリセットされる。RSフリップフロップ16がリセットされると、EX-ORゲート20の出力がローレベルからハイレベルになり、ラッチ22はそのときのカウンタ15のカウント値をラッチする。

【0060】時刻 t_7 、 t_{15} でDフリップフロップ17でクロックが立ち上がると、Dフリップフロップ17はRSフリップフロップ17の出力Qをラッチし、ローレベルになる。Dフリップフロップ17の出力がローレベルになると、EX-ORゲート20の出力は、ローレベルになる。また、Dフリップフロップ17の出力がローレベルになると、EX-ORゲート21の出力がローレベルになるため、カウンタ15がクリアされる。時刻 t_8 でDフリップフロップ18に供給されるクロックが立ち上がると、Dフリップフロップ18はDフリップフロップ17の出力をラッチし、ローレベルになる。

【0061】以上のように、ウォブル信号の立ち上がり又は立下りを検出してからハイレベル又はローレベルの期間を所定カウント値までカウントし、次のウォブル信号の立ち下がり又は立ち上りを検出し、ローレベル又はハイレベルの期間を所定カウント値までカウントすることにより、ノイズを含む期間でカウントを行なう必要がなくなる。このため、ハイレベル又はローレベル期間のみをカウントできるので、ノイズの影響を軽減でき、ウォブル信号のハイレベル期間とローレベル期間とを正確に検出することができる。

【0062】なお、本実施例では、光ディスク装置に適用した例について説明したが、これに限定されるものではなく、要はパルス信号のハイレベル期間とローレベル期間とを検出する場合に用いて好適である。

【0063】なお、本実施例のノイズ除去部は、クロックをカウントすることによりデジタル的に累積時間を測定したが、コンデンサなどの充電によりアナログ的に累積時間を測定することもできる。

【0064】図3はノイズ除去部の変形例のブロック構成図を示す。

【0065】同図中、図1と同一構成部分には同一符号を付し、その説明は省略する。

【0066】本実施例のノイズ除去部200は、定電流源211、212、アナログスイッチ回路213～216、コンデンサ220、221、バッファアンプ224、225、コンパレータ226、227、RSフリップフロップ234、基準電圧源236、インバータ237を含む構成とされている。

【0067】ノイズ除去部200の動作を図4とともに説明する。

【0068】図4は本発明の一実施例のノイズ除去部の変形例の動作波形図を示す。図4(A)は入力パルス信号であるウォブル信号、図4(B)はコンデンサ220の充電電圧の変化、図4(C)は反転回路237の出力、図4(D)はコンデンサ221の充電電圧の変化、図4(E)はコンパレータ226の出力、図4(F)はコンパレータ227の出力、図4(G)はRSフリップフロップ234の出力を示す。

【0069】図4(A)に示すウォブル信号は、FMパルス信号であり、端子T1からアナログスイッチ回路213及び反転回路237に供給されている。反転回路237は、図4(C)に示すようにウォブル信号を反転してアナログスイッチ回路214に供給する。アナログスイッチ回路213は、端子T1からのパルス信号が正極性のときにオンし、負極性のときにオフする。また、アナログスイッチ回路214は、反転回路237からのパルス信号が正極性のときにオンし、負極性のときにオフする。

【0070】時刻 t_0 でコンパレータ227の出力がローレベルからハイレベルに立ち上がると、RSフリップフロップ234がセットとされる。RSフリップフロップ234は、セットされると、非反転出力Qをハイレベルにし、反転出力 \bar{Q} をローレベルにする。RSフリップフロップ234の非反転出力Qがハイ

レベルになると、アナログスイッチ回路215がオフする。アナログスイッチ回路215がオフすることにより、コンデンサ220が入力パルス信号により充電可能とされる。

【0071】このとき、RSフリップフロップ234の反転出力/Qはローレベルになる。RSフリップフロップ234の反転出力/Qがローレベルになると、アナログスイッチ回路214がオンする。アナログスイッチ回路214がオンすると、コンデンサ221が放電される。コンデンサ221が放電されると、コンパレータ227の非反転入力端子の電圧が基準電源236からの基準電圧より小さくなるのでコンパレータ227の出力はローレベルとなる。

【0072】コンデンサ220は、時刻 $t_1 \sim t_2$ での入力パルス信号がハイレベルの期間に定電流源211により充電される。時刻 t_2 でコンデンサ220の充電電圧が所定の電圧より大きくなると、コンパレータ226の非反転入力端子の電圧が基準電源236からの基準電圧より大きくなる。これによりコンパレータ226の出力がローレベルからハイレベルになる。

【0073】コンパレータ226の出力がローレベルからハイレベルになると、RSフリップフロップ234がリセットされる。RSフリップフロップ234は、リセットされると、非反転出力Qをローレベルとし、反転出力/Qをハイレベルとする。

【0074】RSフリップフロップ234の反転出力/Qがハイレベルになると、アナログスイッチ回路216がオフする。アナログスイッチ回路216がオフすると、コンデンサ221が反転回路237からのパルス信号により充電可能な状態とされる。

【0075】一方、RSフリップフロップ234の非反転出力Qがローレベルになると、アナログスイッチ回路215がオンする。アナログスイッチ回路215がオンすることにより、コンデンサ220が放電される。コンデンサ220が放電されることによりコンパレータ226の非反転入力端子の電圧が基準電源236からの基準電圧より小さくなるため、出力がローレベルとされる。

【0076】以上のように、ウォブル信号のローレベルからハイレベルになる期間ではコンデンサ220を充電し、ハイレベルからローレベルになる期間ではコンデンサ221を充電し、出力を反転するタイミングを決定することによりノイズの影響を軽減できる。ウォブル信号のローレベルからハイレベルになるタイミングとハイレベルからローレベルになるタイミングとを正確に決定できる。

【0077】また、本変形例では、定電流源213、214及びインバータ236並びにアナログスイッチ回路215、216を用いてコンデンサ220、221への充放電のタイミングを制御したが、回路を簡略化することもできる。

【0078】図5はノイズ除去回路の他の変形例のブロック構成図を示す。

【0079】本変形例のノイズ除去回路300は、定電流源301、アナログスイッチ回路302によりコンデンサ220、221の充電のタイミングを制御する。

【0080】定電流源301は、コンデンサ220、221を充電するための定電流を生成する。定電流源301は、アナログスイッチ回路302に供給される。アナログスイッチ回路302は、入力パルス信号がハイレベルのときに、定電流源301からの定電流をコンデンサ220に供給し、入力パルス信号がローレベルのときに、定電流源301からの定電流をコンデンサ221に供給するように接点の切換を行う。

【0081】以上により、コンデンサ220には、入力パルス信号のハイレベル期間で充電を行うことができ、コンデンサ221には、入力パルスのローレベルの期間で充電を行うことができ、図4と同様な動作を行うことができる。

【0082】なお、本実施例では、光ディスク装置に適用した例について説明したが、これに限定されるものではなく、要はパルス信号のハイレベル期間とローレベル期間とを検出する場合に用いて好適である。また、FM変調やFSK変調等の周期的な信号の信号処理としても有効であり、光ディスク装置だけでなく通信システムなどの広い分野に応用できる。

【0083】

【発明の効果】本発明によれば、入力パルス信号のノイズのハイレベル期間のみ又はローレベル期間のみを累積して立ち上がり決定するので、ノイズの影響なく入力パルス信号のエッジを検出できるなどの特長を有する。

【0084】また、本発明によれば、累積時間を測定する時間を異ならせることにより入力パルス信号に対する出力パルス信号の遅延時間を自在に設定できる。

【0085】本発明によれば、極性毎に入力パルス信号の極性の累積時間を測定し、極性毎の累積時間を異ならせることにより出力パルス信号のデューティ比を自在に設定できるなどの特長を有する。

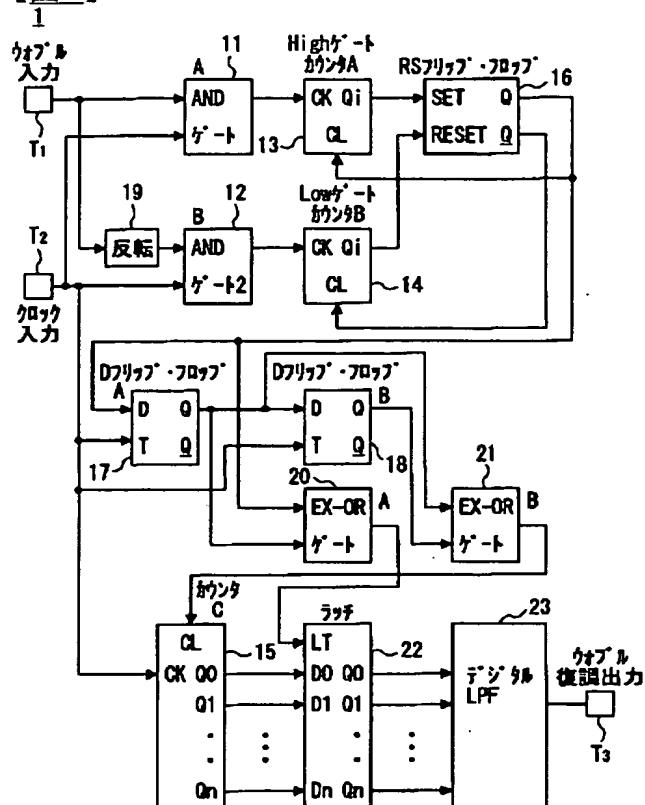
【0086】本発明によれば、入力パルス信号のハイレベル期間とローレベル期間とをノイズの影響なく検出できる等の特長を有する。

【0087】本発明によれば、入力パルス信号のチャタリングを含む期間に入力パルス信号の正極性期間のみ又は負極性期間のみで充電を行なって、その充電電圧をサンプルホールドして出力することにより、チャタリングの影響なく入力パルス信号の正極性期間又は負極性期間を検出できる等の特長を有する。

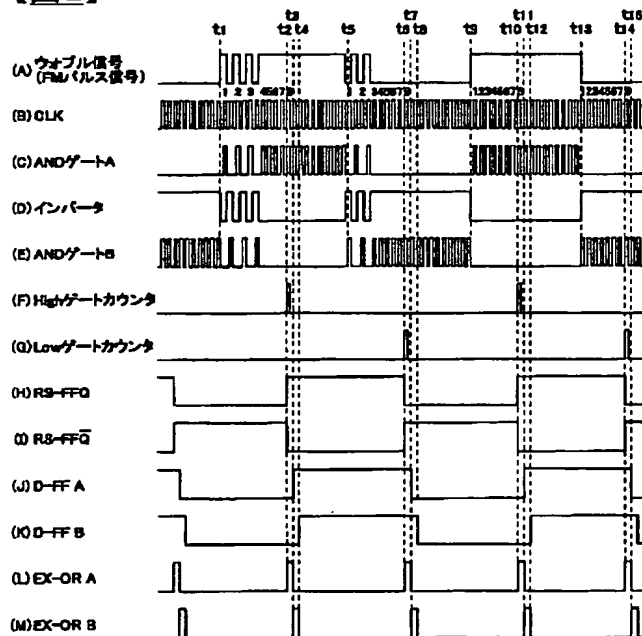
【0088】

図面

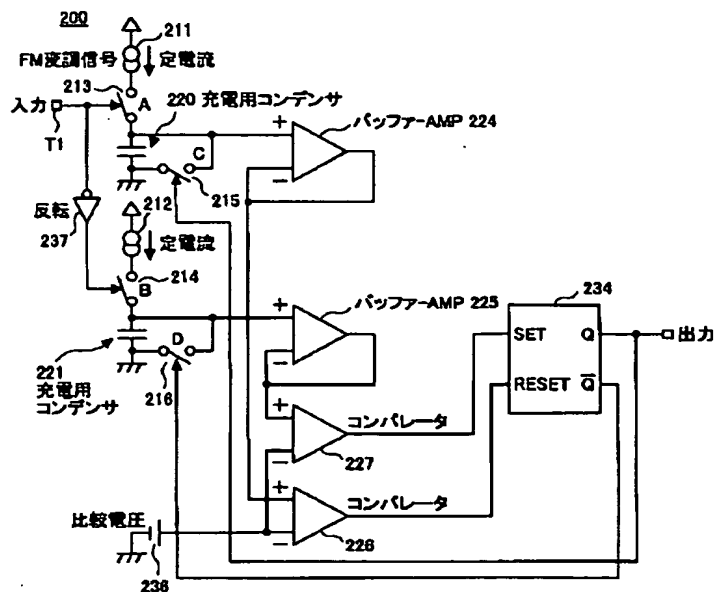
【図1】



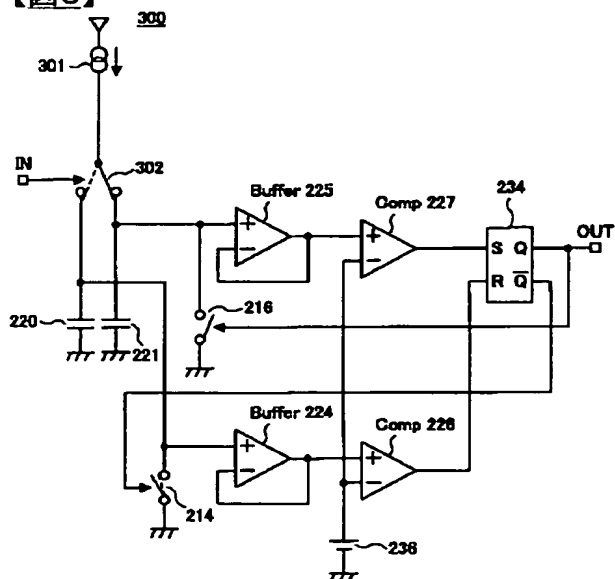
【図2】



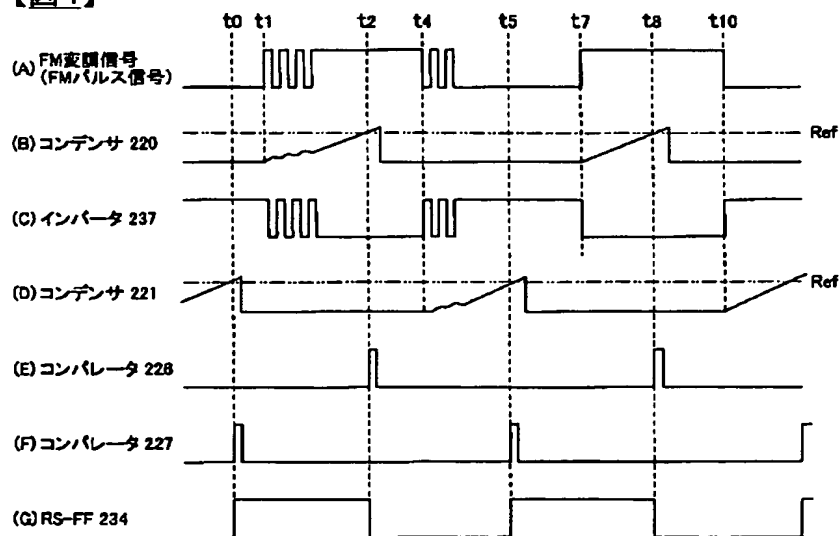
【図3】



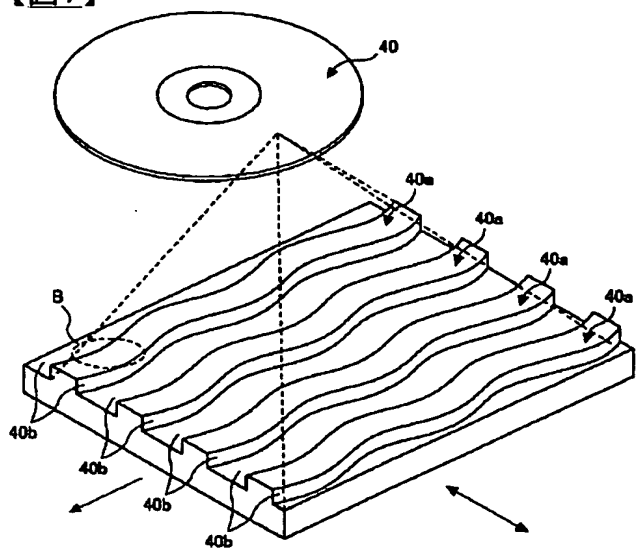
【図5】



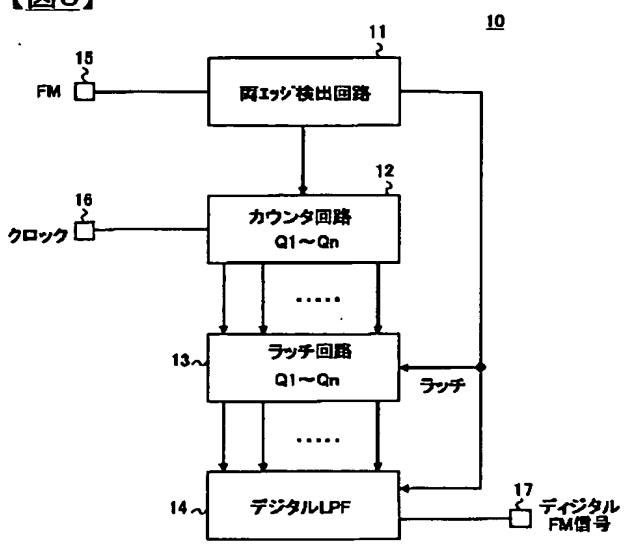
【図4】



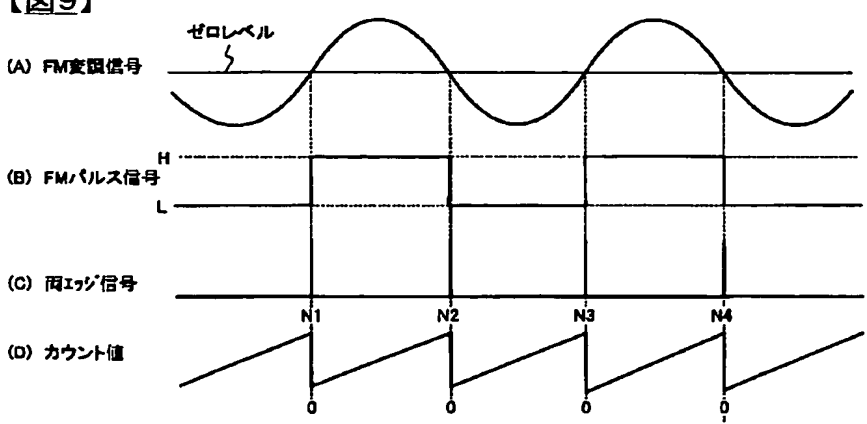
【図7】



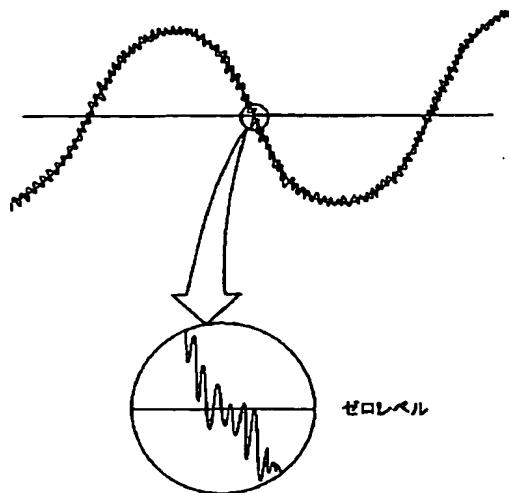
【図8】



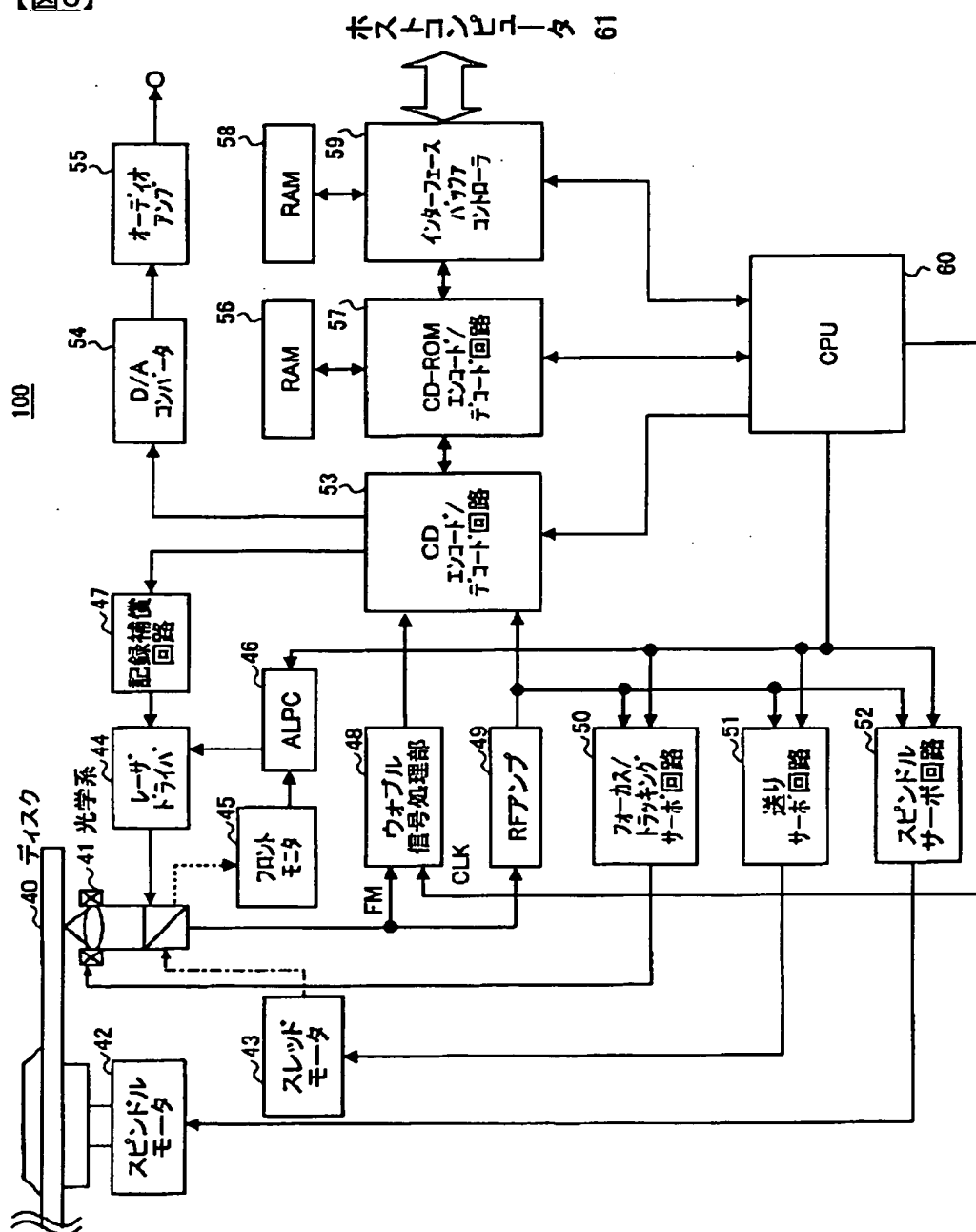
【図9】



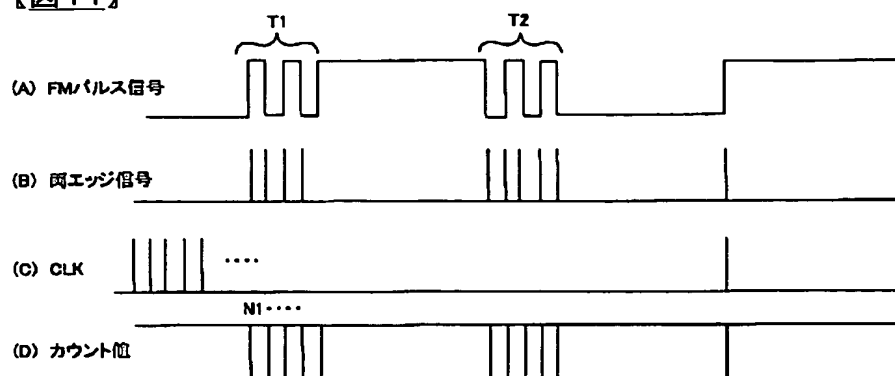
【図10】



【図6】



【図11】



【図12】

